

(19)



JAPANESE PATENT OFFICE

JC841 U.S. PTO

09/759424



01/12/01

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05289105 A**

(43) Date of publication of application: **05 . 11 . 93**

(51) Int. Cl.

**G02F 1/136**  
**G02F 1/1343**

(21) Application number: **04094057**

(22) Date of filing: **14 . 04 . 92**

(71) Applicant: **HITACHI LTD**

(72) Inventor:  
**KAWACHI GENSHIROU**  
**ONO KIKUO**  
**WAKUI TAKAYUKI**  
**ABU KOICHI**  
**KONISHI NOBUTAKE**  
**SUZUKI TAKASHI**

(54) **LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION**

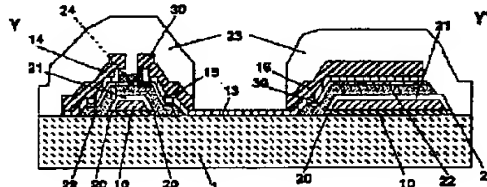
protective SiN film 23 as a mask.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

**PURPOSE:** To provide a structure which is suitable for obtaining a larger-sized and higher accurate device, enables the attainment of a high production yield and can be produced with a simple process for production and the process for production, for the formation of a thin-film semiconductor device for the liquid crystal display device.

**CONSTITUTION:** A scanning signal electrode is formed of the laminated films of a Ta electrode 10 and Al electrode formed with an anodized film on the surface and only the Ta electrode 10 is exposed by etching away the Al electrode for an upper layer using the anodized film as a mask in an external connecting terminal part. An a-Si:H film 30 and a gate SiN film 22 are worked to the same pattern. Further, a video signal electrode 14 and a picture element electrode 13 are constituted of the laminated films of ITO and the Ti electrode to be patterned by one time of photoetching stage. The Ti film of the light transparent part on the picture element electrode 13 is removed using the pattern of a



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 8 9 1 0 5

(43) 公開日 平成5年(1993)11月5日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018 - 2 K	
	1/1343		9018 - 2 K	

審査請求 未請求 請求項の数 3 7

(全 1 6 頁)

(21) 出願番号 特願平 4 - 9 4 0 5 7

(22) 出願日 平成4年(1992)4月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 河内 玄士朗

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 小野 記久雄

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 和久井 陽行

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

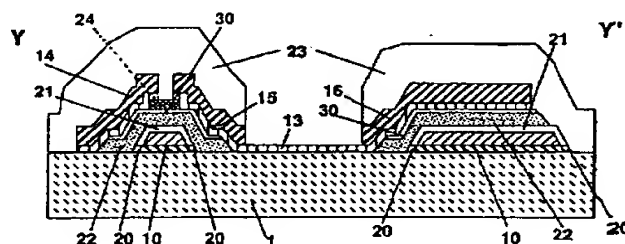
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】 液晶表示装置用の薄膜半導体装置において、大型化、高精細化に適し、高い製造歩留まりを実現できかつ、簡略な製造工程で製造できる構造及び製造方法を提供する。

【構成】 走査信号電極を表面に陽極酸化膜を形成したTa電極10とAl電極11の積層膜で構成し、外部接続端子部は、上記陽極酸化膜をマスクとして上層のAl電極11をエッチング除去することによりTa電極10のみを露出させた。また、a-Si:H膜30とゲートSiN膜22を同一のパターンに加工した。さらに、映像信号電極14と画素電極13をITOとTi電極の積層膜で構成し1回のホット工程でパターンニングする。この時画素電極上の光の透過部分のTi膜は保護SiN膜23のパターンをマスクとして除去する構成とした。

図 33



## 【特許請求の範囲】

【請求項1】絶縁基板上に形成した走査信号電極と、前記走査信号電極に交差するように形成された映像信号電極と、前記走査信号電極と前記映像信号電極の交差点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とからなり、前記画素電極によって液晶を駆動する液晶表示装置において、前記走査信号電極は外部との接続端部以外は少なくとも2種以上の導電膜の積層膜で形成され、かつ前記積層膜を構成する最上層の導電膜の表面は全て前記最上層の導電膜を構成する金属材料を母材とする絶縁膜によって被覆され、前記接続端部は前記積層膜の下層の導電膜で形成されていることを特徴とする液晶表示装置。

【請求項2】請求項1において、前記積層膜を構成する最上層の導電膜は、前記走査信号電極の外部との接続端部から0.1cm以上離れた位置に存在することを特徴とする液晶表示装置。

【請求項3】請求項1および2において、前記積層膜を構成する各導電膜の側面は一部分を除いて前記積層膜を構成する各金属を母材とする絶縁膜によって被覆されることを特徴とする液晶表示装置。

【請求項4】請求項1および2において、前記積層膜を構成する各導電膜の線幅は全て略等しいことを特徴とする液晶表示装置。

【請求項5】請求項1および2において、前記積層膜を構成する導電膜のうちの1つはAl膜、またはAlを成分として含有する合金膜であることを特徴とする液晶表示装置。

【請求項6】請求項5において、前記Al膜、またはAlを成分として含有する合金膜は、前記積層膜を構成する最上層の導電膜であることを特徴とする液晶表示装置。

【請求項7】請求項1および2において、前記積層膜を構成する導電膜のうちの1つはTa、Ti、Mo、Wの各金属膜、またはこれらの金属を成分とする合金膜であることを特徴とする液晶表示装置。

【請求項8】請求項7において、前記Ta、Ti、Mo、Wの各金属膜、またはこれらの金属を成分とする合金膜は、前記積層膜を構成する最下層の導電膜であることを特徴とする液晶表示装置。

【請求項9】請求項5において、前記Al膜、またはAlを成分として含有する合金膜の下層には前記Ta、Ti、Mo、Wの各金属膜、またはこれらの金属を成分とする合金膜が存在することを特徴とする液晶表示装置。

【請求項10】請求項5において、前記Al膜、またはAlを成分として含有する合金膜の上層および下層には前記Ta、Ti、Mo、Wの各金属膜、またはこれらの金属を成分とする合金膜が存在することを特徴とする液晶表示装置。

【請求項11】請求項3において、前記積層膜を構成す

る各金属を母材とする各絶縁膜は薄膜トランジスタのゲート絶縁膜の一部として用いられることを特徴とする液晶表示装置。

【請求項12】請求項3において、前記積層膜を構成する各金属を母材とする各絶縁膜は金属の酸化膜または窒化膜であることを特徴とする液晶表示装置。

【請求項13】請求項11において、前記薄膜トランジスタを構成する半導体膜とゲート絶縁膜は同一の平面形状であることを特徴とする液晶表示装置。

【請求項14】請求項11において、前記薄膜トランジスタを構成する半導体膜とゲート絶縁膜は前記走査信号電極の一部のみを被覆することを特徴とする液晶表示装置。

【請求項15】絶縁基板上に形成した走査信号電極と、前記走査信号電極上に形成された薄膜トランジスタのゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記ゲート絶縁膜と同一の平面形状を有する半導体膜と、前記走査信号電極に交差するように形成された映像信号電極と、前記薄膜トランジスタに接続された画素電極とからなり、前記画素電極によって液晶を駆動する液晶表示装置において、前記半導体膜のうち、前記薄膜トランジスタのソース、ドレインの金属電極と接触する領域にはn型またはp型のいずれかの不純物の一方のみが導入され、チャネル部にはn型およびp型の両方の不純物が導入されていることを特徴とする液晶表示装置。

【請求項16】請求項15において、前記半導体膜は膜厚60nm以下の水素化非晶質Si、水素化非晶質SiGe、水素化非晶質Geのいずれかで構成されていることを特徴とする液晶表示装置。

【請求項17】請求項15において、前記n型およびp型不純物の濃度は半導体膜の表面で $10^{21}$ ATOMS/cm<sup>3</sup>以上、半導体膜とゲート絶縁膜の界面で $10^{19}$ ATOMS/cm<sup>3</sup>以下であることを特徴とする液晶表示装置。

【請求項18】絶縁基板上に形成した走査信号電極と、前記走査信号電極に交差するように形成された映像信号電極と、前記走査信号電極と前記映像信号電極の交差点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極および付加容量と、前記各構成要素を被覆するように形成された保護膜とからなり、前記画素電極によって液晶を駆動する液晶表示装置において、前記薄膜トランジスタのソース電極および前記映像信号電極は、透明電極と前記透明電極上に形成した金属電極で構成し、前記走査信号電極と前記透明電極および透明電極上に形成した金属電極とにより付加容量を構成したことを特徴とする液晶表示装置。

【請求項19】請求項18において、前記付加容量を構成する透明電極と透明電極上に形成した金属電極は前記画素電極の一部であることを特徴とする液晶表示装置。

【請求項20】請求項19において、前記付加容量を構成する透明電極のパターン端と透明電極上に形成した金

属電極のパターン端は、少なくとも一部において一致することを特徴とする液晶表示装置。

【請求項21】請求項19において、前記透明電極および透明電極上に形成した金属電極は走査信号電極の上層に存在することを特徴とする液晶表示装置。

【請求項22】請求項20において、前記付加容量を構成する透明電極上に形成した金属電極のパターンは前記走査信号電極のパターンによって作られる段差を乗り越えるように形成されていることを特徴とする液晶表示装置。

【請求項23】請求項19において、前記保護膜は画素電極内の一部において除去され、かつ前記保護膜が除去された領域内には透明電極上の金属電極が存在しないことを特徴とする液晶表示装置。

【請求項24】請求項19において、前記保護膜は画素電極内の一部および画素電極外の一部の領域で除去され、かつ前記保護膜が除去された領域内には透明電極上の金属電極が存在しないことを特徴とする液晶表示装置。

【請求項25】請求項23および24において、前記保護膜が除去された領域内に付加容量の一部が形成されていることを特徴とする液晶表示装置。

【請求項26】以下の工程を含むことを特徴とする液晶表示装置の製造方法。

(1) 絶縁基板上に2層以上の導電膜を順次積層し、所定のパターンに加工して走査信号電極パターンを形成する工程。

(2) 前記走査信号電極パターンの一部の表面及び側面に2層以上の各々の導電膜を構成する材料を母材とする絶縁膜を形成する工程。

(3) 前記絶縁膜をマスクとして、前記走査信号電極パターンを構成する2層以上の導電膜の内、少なくとも最上層の導電膜を除去する工程。

【請求項27】以下の工程を含むことを特徴とする液晶表示装置の製造方法。

(1) 絶縁基板上に第1の導電膜を積層し、所定のパターンに加工して走査信号電極パターンを形成する工程。

(2) 前記第1の導電膜で形成した走査信号電極パターン上の一部に第2の導電膜をメッキにより形成する工程。

(3) 前記走査信号電極パターンの一部の表面及び側面に上記2層の導電膜を構成する材料を母材とする絶縁膜を形成する工程。

【請求項28】請求項26～27において、前記導電膜を構成する材料を母材とする絶縁膜を陽極酸化法により形成することを特徴とする液晶表示装置の製造方法。

【請求項29】請求項26～27において、前記導電膜を構成する材料を母材とする絶縁膜をプラズマ酸化法またはプラズマ窒化法により形成することを特徴とする液晶表示装置の製造方法。

【請求項30】以下の工程を含むことを特徴とする液晶表示装置の製造方法。

(1) 絶縁基板上に2層以上の導電膜を順次積層し、所定のパターンに加工して走査信号電極パターンを形成する工程。

(2) 前記走査信号電極パターンの一部の表面及び側面に2層以上の各々の導電膜を構成する材料を母材とする絶縁膜を形成する工程。

(3) 前記絶縁膜をマスクとして、前記走査信号電極パターンを構成する2層以上の導電膜の内、少なくとも最上層の導電膜を除去する工程。

(4) 基板全面にゲート絶縁膜、半導体膜を形成する工程。

(5) 上記半導体膜に5keV以下のエネルギーでリンを含むイオンビームを照射して半導体膜中にリンを導入する工程。

(6) 前記ゲート絶縁膜、半導体膜を同一パターンに加工する工程。

(7) 導電膜を堆積して所定のパターンに加工し映像信号電極及びソース電極を形成する工程。

(8) 前記映像信号電極及びソース電極のパターンをマスクとして半導体膜に5keV以下のエネルギーでボロンを含むイオンビームを照射して半導体膜中にボロンを導入する工程。

【請求項31】以下の工程を含むことを特徴とする液晶表示装置の製造方法。

(1) 絶縁基板上に所定パターンの走査信号電極を形成する工程。

(2) 基板全面にゲート絶縁膜及び半導体膜を順次形成する工程。

(3) 前記半導体膜及びゲート絶縁膜をそれぞれ所定のパターンに加工する工程。

(4) 基板全面に透明電極及び金属電極を順次形成する工程。

(5) 前記透明電極及び金属電極を、映像信号電極、および画素電極のパターンに加工する工程。

(6) 基板全面に保護絶縁膜を形成する工程。

(7) 前記保護絶縁膜を所定のパターンに加工する工程。

(8) 前記保護絶縁膜パターンをマスクとして前記透明電極上の金属電極を除去する工程。

【請求項32】以下の工程を含むことを特徴とする液晶表示装置の製造方法。

(1) 絶縁基板上に所定パターンの走査信号電極を形成する工程。

(2) 基板全面にゲート絶縁膜及び半導体膜を順次形成する工程。

(3) 前記半導体膜及びゲート絶縁膜をそれぞれ所定のパターンに加工する工程。

(4) 基板全面に透明電極及び金属電極を順次形成する

工程。

(5) 前記透明電極及び金属電極を、映像信号電極、および画素電極のパターンに加工する工程。

(6) 基板全面に保護絶縁膜のパターンを形成する工程。

(7) 前記保護絶縁膜パターンをマスクとして前記透明電極上の金属電極を除去し、さらに前記保護絶縁膜のオーバーハングを形成する工程。

(8) 熱処理により前記保護絶縁膜を変形させて前記透明電極上の金属電極の側面を被覆する工程。

【請求項33】以下の工程を含むことを特徴とする液晶表示装置の製造方法。

(1) 絶縁基板上に2層以上の導電膜を順次積層し、所定のパターンに加工して走査信号電極パターンを形成する工程。

(2) 前記走査信号電極パターンの一部の表面及び側面に2層以上の各々の導電膜を構成する材料を母材とする絶縁膜を形成する工程。

(3) 前記絶縁膜をマスクとして、前記走査信号電極パターンを構成する2層以上の導電膜の内、少なくとも最上層の導電膜を除去する工程。

(4) 基板全面にゲート絶縁膜及び半導体膜を順次形成する工程。

(5) 前記半導体膜及びゲート絶縁膜をそれぞれ所定のパターンに加工する工程。

(6) 基板全面に透明電極及び金属電極を順次形成する工程。

(7) 前記透明電極及び金属電極を、映像信号電極、および画素電極のパターンに加工する工程。

(8) 基板全面に保護絶縁膜を形成する工程。

(9) 前記保護絶縁膜を所定のパターンに加工する工程。

(10) 前記保護絶縁膜パターンをマスクとして前記透明電極上の金属電極を除去する工程。

【請求項34】絶縁基板上に形成した走査信号電極と、前記走査信号電極に交差するように形成された映像信号電極と、前記走査信号電極と前記映像信号電極の交差点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とからなり、前記画素電極によって液晶を駆動する液晶表示装置において、前記走査信号電極が少なくとも2種以上の導電膜の積層膜で形成され、かつ前記走査信号電極の出力端子が前記積層膜を構成する最下層の導電膜で構成されていることを特徴とする液晶表示装置。

【請求項35】請求項34において、前記積層膜は上層がAlで、さらに、下層がTa、Ti、Mo、Wのうちの少なくとも1つを用いて形成されていることを特徴とする液晶表示装置。

【請求項36】請求項35において、前記積層膜を構成する最上層の面は最上層を形成する金属を母材とする絶

縁膜で被覆され、各導電膜の側面は一部分を除いて前記積層膜を構成する各金属を母材とする絶縁膜によって被覆されていることを特徴とする液晶表示装置。

【請求項37】外部入力部からの信号に基づいて演算処理を行う演算手段と、前記演算手段で用いるデータ及び演算処理結果を格納する記憶手段と、前記演算処理結果及び入力信号を送信する送信手段、前記送信手段からの信号に基づいて液晶表示部に送信する各種信号を生成するパネル制御手段、パネル制御手段からの信号に基づいて液晶素子を駆動するTFTの走査信号電極にオンオフ信号を送信する走査駆動回路と、液晶素子に映像信号電極を介して映像信号を与える信号駆動回路、及び複数の走査信号電極と複数の映像信号電極をマトリクス状に配置し、各々の交差部に設けたTFTを有する液晶表示装置とからなる情報処理装置において、前記液晶表示装置は、前記走査信号電極が少なくとも2種以上の導電膜の積層膜で形成され、かつ前記走査信号電極の出力端子が前記積層膜を構成する最下層の導電膜で構成されていることを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はOA機器等の画像、文字情報の表示装置として用いられる、薄膜トランジスタアクティブマトリクス方式の液晶表示装置の構造及び製造方法に関する。

【0002】

【従来の技術】ガラス等の絶縁基板上に薄膜トランジスタ（以下TFTと記す）をマトリクス上に形成し、これをスイッチング素子として用いるアクティブマトリクス型の液晶表示装置は高画質のフラットパネルディスプレイとして期待されている。現在、TFTアクティブマトリクス型ディスプレイにおいては、解決すべき課題がいくつかある。

【0003】第1の課題は、製造歩留まりの向上である。特に走査信号配線と映像信号配線間のショート不良が最大の不良原因であり、この不良の低減が課題となっている。

【0004】第2の課題は、工程数の低減である。特にホトリソグラフィ工程数の削減が強く求められている。

【0005】第3の課題は、画面の高精細化、大型化に対応できる低抵抗の走査信号配線の形成技術である。

【0006】第4の課題は、信頼性の確保である。具体的には画像品質の信頼性ととも配線の外部接続端子の腐食等に対する信頼性等が課題としてあげられる。

【0007】以上の課題に対して、従来から種々の提案がなされている。

【0008】まず第1の課題に対しては、例えば特開昭61-133662号公報においてTFTのゲート絶縁膜を、ゲート電極の陽極酸化膜とSiN膜の2層構造として絶縁膜のピンホール等による配線間ショートを防止する技術

が開示されている。(以下第1の従来技術と記す)。

【0009】第2の課題に対して、ホトリソグラフィ工程数の削減については数多くの提案がなされている。例としては、例えば特開昭63-9977号公報において走査配線を透明電極と金属膜の2層構造とし、走査配線を構成する透明電極により画素電極を構成することにより走査信号配線と画素電極のパターニングを1回で行いホト工程を削減する方法が示されている。(以下第2の従来技術と記す)

また、他の例としては特開昭62-32651号公報においてはTFTを構成するゲート絶縁膜と半導体膜を1枚のホトマスクを用いて同一パターンに加工することにより、ホトリソグラフィ工程数を削減する方法が示されている。(以下第3の従来技術と記す)

第3の課題に対しては、例えば特開平2-85826号公報においてA1を走査配線とし、 $Al_2O_3$ 膜をゲート絶縁膜および層間絶縁膜として用いる例が示されている。低抵抗のA1を走査配線として用いることにより高精細化、大画面化により、走査配線の負荷が増大しても走査信号の遅延を実用上問題無いレベルに押さえることができる。(以下第4の従来技術と記す)

#### 【0010】

【発明が解決しようとする課題】TFTアクティブマトリックス型液晶表示装置を本格的に普及させるためには上記の課題全てを同時に解決し、高画質化、低コスト化、高信頼化を実現する必要がある。しかしながら、上記の各々の従来技術は、狙いとする各々の課題については効果があるが、各々の要素技術は互いにトレードオフの関係を有するものが多く、上記全ての課題を同時に満足することはできない。また、上記の個々の技術を単に組み合わせただけでは、新たな問題が発生し所望の効果が得られない。以下このことを説明する。

【0011】例えば、第1の従来技術と第2の従来技術を組み合わせると、走査信号配線金属を透明電極の上で陽極酸化する必要があるが、透明導電膜上で金属を陽極酸化すると、材料の標準電位の違いから電池反応により金属膜が溶失してしまう問題がある。また、陽極酸化時に選択酸化のためのレジストマスクを形成するために新たにホトマスクが必要となるので第2の課題である工程数の削減を達成することはできない。

【0012】また、第2の従来技術では、活性層である半導体膜がゲート電極の外にはみ出す構造となるので、表示装置を構成したときにバックライトや外光がゲート電極の外にはみだした半導体膜に当たり、半導体膜の光電流によりTFTのリーク電流が増加して画質が低下する。これを防止するためには半導体膜を薄膜化することが有効であるが、良く知られているようにプロセス上の制約から、従来の逆スタガ型のTFTで半導体膜を薄膜化するためには、TFTのチャンネル部を保護するためのチャンネル保護膜を形成するためのホトマスクを1枚増や

す必要が有る。この点については例えば、フラットパネルディスプレイ'91(日経BP社1990)88頁～96頁に述べられている。従って、第2の従来技術では半導体膜とゲート絶縁膜のマスクを統合して1枚ホトマスクを削減できるものの、実用に耐えうる画質を保証するためには、半導体膜を薄膜化することが必要なため、チャンネル保護膜を形成するために1枚ホトマスクが必要となり、結果的にはホトマスク削減による工程の簡略化は達成できないという問題がある。

10 【0013】また、第3の従来技術と第4の従来技術を組み合わせると、走査信号配線は透明電極と低抵抗配線であるA1電極の2層構造となるが、この場合走査信号配線の外部接続端子部分にはA1電極をそのまま用いるかまたは、上層のA1を選択除去して、透明電極を外部接続端子として用いることになる。

20 【0014】配線の外部接続端子部分は、液晶封入等の後工程以後も種々の溶剤等に曝されるためA1のような活性な金属を用いると腐食されるという問題がある。また、透明電極を端子部分に用いた場合、金属酸化物である透明電極と配線金属のA1の接合においては、A1が透明電極中の酸素により酸化され界面に絶縁膜を形成するためコンタクトの信頼性が極めて悪いという問題がある。

30 【0015】以上のような問題から、走査信号配線にA1を用いる場合には端子部分の透明電極とのコンタクトを良好に保つためにバリアメタルを間に挿入することがよく行われている。しかしながらこの場合、バリアメタルを加工するために新たにホトマスクが必要となる。従って、第2の課題である工程数の削減を達成することはできなくなる。以上述べたように、従来の技術の単なる組合せでは上記の複数の課題を同時に解決することはできない。

【0016】本発明の目的は、上記の諸課題を同時に解決し、最小限のホトマスク数で高い信頼性と良好な画質を有し、かつ低コストで製造できる液晶表示装置の構造及びその製造方法を提供することにある。

#### 【0017】

【課題を解決するための手段】上記の課題を解決するために、本発明は以下の手段を講じたことを特徴とする。

40 【0018】(1) 絶縁基板上に形成した走査信号電極と、前記走査信号電極に交差するように形成された映像信号電極と、前記走査信号電極と前記映像信号電極の交差点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とからなり、前記画素電極によって液晶を駆動する液晶表示装置において、前記走査信号電極の外部との接続端部を除いて少なくとも2種以上の導電膜の積層膜で構成し、かつ前記積層膜を構成する最上層の導電膜の表面は全て前記最上層の導電膜を構成する金属材料を母材とする絶縁膜によって被覆した構造とし、外部との接続端部を前記積層膜を構成す

るTa等の接続性の良い金属層を露出する構成とした。

【0019】上記構成とすることにより、以下の工程を含むことを特徴とする液晶表示装置の製造方法を採用できるようにした。

【0020】(i) 絶縁基板の上に2層以上の導電膜を順次積層し、所定のパターンに加工して走査信号電極パターンを形成する工程。

【0021】(ii) 前記走査信号電極パターンの一部の表面及び側面に2層以上の各々の導電膜を構成する材料を母材とする絶縁膜を形成する工程。

【0022】(iii) 前記絶縁膜をマスクとして、前記走査信号電極パターンを構成する2層以上の導電膜の内、少なくとも最上層の導電膜を除去する工程。

【0023】(iv) 基板全面にゲート絶縁膜、半導体膜を形成する工程。

【0024】(v) 上記半導体膜に5keV以下のエネルギーでリンを含むイオンビームを照射して半導体膜中にリンを導入する工程。

【0025】(vi) 前記ゲート絶縁膜、半導体膜を同一パターンに加工する工程。

【0026】(vii) 導電膜を堆積して所定のパターンに加工し映像信号電極及びソース電極を形成する工程。

【0027】(viii) 前記映像信号電極及びソース電極のパターンをマスクとして半導体膜に5keV以下のエネルギーでボロンを含むイオンビームを照射して半導体膜中にボロンを導入する工程。

【0028】

【作用】上記の様に、走査信号電極を少なくとも2層以上の導電膜の積層膜で構成し、積層膜の最上層の導電膜の表面を全て前記最上層の導電膜を構成する材料を母材とする絶縁膜で被覆することにより、前記最上層の導電膜が薬品等に曝されることがなくなるので耐腐食性を確保できる。

【0029】さらに、前記積層膜の側面にも積層膜を構成する各導電膜を母材とする絶縁膜を形成し、かつこれらの絶縁膜を薄膜トランジスタのゲート絶縁膜として用いることにより、走査信号電極と映像信号電極間の層間絶縁耐圧を向上させることが出来るのでショート不良を低減出来る。

【0030】さらに、ゲート絶縁膜と半導体膜を同一のパターンで形成し、かつソース、ドレインの金属電極と接触する部分の半導体膜にはn型不純物を導入し、TFTのチャンネル部分の半導体膜にはn型不純物、p型不純物の両方を導入することにより、TFTのチャンネル部はn型の不純物とp型不純物を相互にコンペンセイトすることでチャンネル部分の半導体膜は高抵抗となるので、従来必要であったn型a-Si膜のエッチングをすることなしにソース、ドレイン電極を電気的に分離できる。従来、n型a-Si膜と真性a-Si膜の間の選択比が小さいために、真性a-Si膜を薄膜化することができな

かった。真性a-Si膜を薄膜化するためには、先に述べたようにホトマスクを1枚加えてTFTのチャンネル部をSiN膜等で保護する必要があった。これに対して本構造では、n型a-Si膜のエッチングが不要となる。従って、チャンネル部の保護膜を形成するためのホトマスクを用いずに半導体膜を薄膜化することが可能となる。従って、ゲート絶縁膜と半導体膜を同一のパターンで形成しても光電流によるTFTのオフ抵抗の低下を防止できるので、製造工程数を削減しつつ、良好な画質を実現できることになる。

【0031】

【実施例】図1は本発明の第1の実施例の液晶表示装置の走査信号電極の端部の断面図である。図2は図1中、A-A'面を矢印方向から見た断面図、図3は液晶表示装置の全体構成を模式的に表した平面図である。

【0032】ガラス基板1上にTa電極10とAl電極11が積層され走査信号電極100を形成している。走査信号電極100の表面及び側面はTa<sub>2</sub>O<sub>5</sub>膜20とAl<sub>2</sub>O<sub>3</sub>膜21によって被覆されている。ここで、Al<sub>2</sub>O<sub>3</sub>膜21は2層導電膜の上層膜であり、Al電極11の表面を必ず被覆するように形成した。また、上層膜であるAl電極11は走査信号電極100の端部より距離X以上離れた位置から形成し(距離Xはこの例では1.0cmとした)、外部部材と接触する端部はTa電極10が露出する構成とした。本実施例によれば、腐食しやすいAl電極を完全にAl<sub>2</sub>O<sub>3</sub>膜で被覆しかつ外部部材と接触する端部から排除し、外部部材との接続を容易にし、かつ走査信号電極100に低抵抗のAl電極を使用できるので表示装置の高精細化、大型化が実現できる。外部部材と確実に接続するためには最上層を形成しない端部の長さXを0.1cm以上とすればよい。また、腐食しやすいAl電極の下層に耐腐食性の高いTa電極を配置し、Al<sub>2</sub>O<sub>3</sub>膜とAl電極の端面を一致させる構造とし、Al<sub>2</sub>O<sub>3</sub>膜をマスクとして端部のAl電極をエッチング除去することで外部接続端子を形成して外部部材との接続を行う構成にすることにより、接続端子の金属加工のためのホトマスクが不要となり工程数を削減できる。更に、Al電極を上層膜として用いることにより、後の実施例でも説明するように、TFTのゲート絶縁膜の一部として高品質のAl<sub>2</sub>O<sub>3</sub>膜を利用できるのでTFTの性能が向上し層間ショート不良を低減できる。

【0033】図3は本願発明の液晶表示装置を情報処理装置に用いたときの構成を示したものである。液晶表示装置は先に述べたように、走査信号電極100は2層以上の導電膜から形成されており、走査信号電極100の走査駆動回路201との接続端子部は最上層の膜のない構成(Alで形成した膜のない構成)として走査駆動回路201の信号線との接続を容易にしたもので、映像信号電極14はTi等を用いて形成されており、信号駆動回路202との接続は元来容易であり、接続端子部を同



じ導電膜で形成したものである。走査信号電極100を2層構造とした効果は前述の通りである。また走査駆動回路201はパネル制御装置203からの信号に基づいて走査電圧を走査信号電極100に送りTFTのゲートをオンする。また信号駆動回路202はパネル制御装置203からの信号に基づいて映像信号を映像信号電極14を介して液晶素子に映像信号を伝達する。前記パネル制御装置203は外部入力手段204から入力された信号に基づいて表示内容を決定する演算処理手段205及び演算データ等を一時記憶したり、演算方法等記憶しておくメモリ手段206等からなる入力部207からの情報を映像信号に変換しそれぞれの信号を駆動回路に送信する働きをする。本発明の液晶表示装置を情報処理装置に用いることにより、表示画面が鮮明になり複雑な形状の図も正確に表示できるという効果がある。

【0034】図4は本発明の第2の実施例の液晶表示装置の走査信号電極100の端部の断面図である。図5は図4-1中、A-A'面を矢印方向から見た断面図を示す。本実施例では走査信号電極100は2層のTa電極10とこれらによって挟持されたAl電極11の3層の導電膜から構成される。第1の実施例と同様にこれらの膜の表面及び側面はTa<sub>2</sub>O<sub>5</sub>膜20とAl<sub>2</sub>O<sub>3</sub>膜21によって被覆され、最上層膜であるTa電極10の表面は全てTa<sub>2</sub>O<sub>5</sub>膜20で被覆されている。また、上層膜のTa電極とAl電極は走査信号電極100の端部より距離1.0cm以上離れた位置から形成し外部部材と接触する端部からAl電極11を排除した。本実施例によれば、上記第1の実施例の場合と同様の効果に加えて、比誘電率の大きいTa<sub>2</sub>O<sub>5</sub>膜をTFTのゲート絶縁膜の一部として利用できるのでTFTの相互コンダクタンスが向上する。

【0035】図6は、上記の構造を有する走査信号電極100を用いて構成した第3の実施例の液晶表示装置の単位画素の断面模式図である。

【0036】ガラス基板1上にTa電極10とAl電極11からなる走査信号電極100が形成され、これらの表面及び側面はAl<sub>2</sub>O<sub>3</sub>膜21とTa<sub>2</sub>O<sub>5</sub>膜20によって被覆されている。これらの走査信号電極100上にSiN膜22、a-Si:H膜30、n型a-Si:H膜31が形成され、さらにn型a-Si:H膜31上には映像信号電極14とソース電極15が形成され、前記ソース電極にはITO膜からなる画素電極13が接続されている。画素電極13には、容量電極16が接続され、走査信号電極100と前記容量電極16により付加容量を構成する。さらに、これら全体を保護SiN膜23で被覆している。

【0037】図7は上記の薄膜トランジスタ基板の走査信号電極の外部接続端子の断面図である。ここでは、走査信号電極100のうち、上層のAl電極11の表面はAl<sub>2</sub>O<sub>3</sub>膜21によって被覆し、Ta電極10をAl<sub>2</sub>

O<sub>3</sub>膜21の外まで延在させ外部接続端子を構成している。さらにTa電極10はITO電極13で被覆した。

【0038】図8～図12は上記第1の実施例の薄膜半導体装置の製造工程を示す。図の右側は走査信号電極端子部分の各工程での断面を示す。

【0039】ガラス基板1上にTa膜10、Al膜11をスパッタリングにより堆積しホトリソグラフィ技術を用いて所定の形状にパターンニングする(図8)。次に、陽極酸化法によりTa膜、Al膜の表面及び側面にTa<sub>2</sub>O<sub>5</sub>膜20、Al<sub>2</sub>O<sub>3</sub>膜21を形成する(図9)。次にAl<sub>2</sub>O<sub>3</sub>膜21をマスクとして走査信号電極端子部のAl膜11をエッチング除去してTa電極10を露出し、続いてITO膜をスパッタリングにより堆積しホトリソグラフィ技術を用いてパターンニングして画素電極13および端子Taの保護膜131を形成する(図10)。次にプラズマCVD法によりゲートSiN膜22、a-Si:H膜30、n型a-Si:H膜31を堆積し、a-Si:H膜30、n型a-Si:H膜31を所定の形状にパターンニングし、続いて画素電極13上および端子部電極上のゲートSiN膜22を除去する(図11)。次に、スパッタリングによりTi膜を堆積し、所定の形状にパターンニングして映像信号電極14とソース電極15および容量電極16を得る。最後にプラズマCVDにより保護SiN膜23を形成して薄膜半導体装置は完成する(図12)。

【0040】本実施例によれば、外部接続端子に耐腐食性の高くAlに比べてITOとのコンタクトの良いTaを使用できるので高い信頼性を確保できる。また、Al<sub>2</sub>O<sub>3</sub>膜をマスクとして、外部接続端子部のTa電極を露出するため、従来必要であった外部接続端子の金属加工のためのホトマスクが不要となるので工程を削減できる効果がある。また、同時に走査信号電極に低抵抗のAl電極を使用できるので表示装置の高精細化、大型化が実現できる。

【0041】また、以上の例では走査信号電極にTaとAlを用いて説明してきたが、本発明はこの組合せに限らず、TaのかわりにTi、Mo、Wやこれらを成分とする合金を用いても同様に適用できる。また、Alに限らずAl-SiやAl-Pd、Al-Ta等の合金を用いてもよい。

【0042】図13、図14はそれぞれ、本発明の第4の実施例の液晶表示装置の画素部の断面図および平面図である。

【0043】上記第3の実施例と同様に、ガラス基板1上にTa電極10とAl電極11からなる走査信号電極100が形成され、これらの表面及び側面はTa<sub>2</sub>O<sub>5</sub>膜20とAl<sub>2</sub>O<sub>3</sub>膜21によって被覆されている。これらの走査信号電極100上にSiN膜22と、膜厚50nmのa-Si:H膜30が同一の平面形状に形成され、さらにa-Si:H膜30上には映像信号電極14とソ

ソース電極15が形成され、前記ソース電極にはITO膜からなる画素電極13が接続されている。画素電極13には、容量電極16が接続され、走査信号電極100と前記容量電極16により付加容量を構成する。さらに、これら全体を保護SiN膜23で被覆している。

【0044】図15および図16はそれぞれ、図13中のA-A'断面およびB-B'断面でのa-Si:H膜30内の、 $^{31}\text{P}$ と $^{11}\text{B}$ の深さ方向の濃度分布を示す。ソース電極15とコンタクトするB-B'断面では、 $^{31}\text{P}$ のみが表面から指数関数的に減少する急峻な濃度プロファイルで導入されている。また、TFEのチャンネル領域であるA-A'断面では、ほぼ等量の $^{31}\text{P}$ と $^{11}\text{B}$ が導入されている。

【0045】以上の構成により本実施例では、第1に、従来別々のホトマスクでパターニングしていた、a-Si:H膜30とゲートSiN膜22が1枚のホトマスクで同一の形状にパターニングされるので、ホトリソグラフィ工程が1回少なくなり工程数が削減でき製造コストを低減でき、さらに歩留まりも向上する効果がある。第2に、TFEのチャンネル領域は $^{31}\text{P}$ と $^{11}\text{B}$ が相互に補償されて高抵抗化されるため、従来必要であったn型a-Si:H膜のエッチングなしにソース電極とドレイン電極が分離できるので、a-Si:H膜30の薄膜化が可能となる。a-Si:H膜30の膜厚を60nm以下とすることにより、光電流によるTFEのオフ抵抗の低下を防止でき、良好な画質を得ることができる。

【0046】また、同時に、従来a-Si:H膜30を薄膜化する際必要であったチャンネル保護膜の形成が不要になるので製造工程が簡略化できる。

【0047】図17～図24は上記の実施例の製造工程を示す断面図である。

【0048】ガラス基板1上にTa膜10、Al膜11をスパッタリングにより堆積しホトリソグラフィ技術を用いて所定の形状にパターニングする。次に、陽極酸化法によりTa膜、Al膜の表面及び側面に $\text{Ta}_2\text{O}_5$ 膜20、 $\text{Al}_2\text{O}_3$ 膜21を形成する(図17)。次にスパッタリングによりITO膜を110nm堆積し、パターニングして画素電極13とする(図18)。次にプラズマCVDによりゲートSiN膜22を400nm、a-Si:H膜30を50nm形成する(図19)。次に $\text{PH}_3$ ガスの放電プラズマから引き出した、質量分離しない $\text{PH}^+$ 、 $\text{PH}_2^+$ 等のイオンを2keV程度の低エネルギーで照射しa-Si:H膜30にPを導入する(図20)。このような質量分離しないイオンビームを用いる不純物ドーピング技術は、例えば特開平2-199824号公報において磁気バケット型イオン源を用いた方法が開示されている。次に、ホトリソグラフィ技術により、ゲートSiN膜22と、a-Si:H膜30を同一の平面形状に加工する(図21)。次にTi電極をスパッタリングにより形成し、パターニングして映像信号電極14、

ソース電極15および容量電極16を得る(図22)。次に映像信号電極14、ソース電極15のパターンをマスクとして質量分離しない $\text{BH}^+$ 、 $\text{B}_2\text{H}_2^+$ 等のイオンを2keV程度の低エネルギーで照射して、a-Si:H膜30のチャンネル領域にBを導入する。これは、先に述べた技術において放電ガスを $\text{B}_2\text{H}_6$ 等のBを含むガスにすれば容易に実現できる。最後に、保護SiN膜を形成して素子は完成する(図23)。

【0049】上記のような製造工程を採用することにより既に述べたように、従来a-Si:H膜30を薄膜化の際必要であったチャンネル保護膜の形成が不要になるので製造工程が簡略化できる。特に、不純物導入法として質量分離しない低エネルギーのイオンビームを用いることにより、大面積に効率良く不純物を導入することができるので生産効率を向上させることができる。

【0050】図25は本発明の第5の実施例の薄膜半導体装置の画素部の断面図である。図26、図27はそれぞれ、同じく第5の実施例の映像信号電極及び走査信号電極の外部接続端子部の断面図である。図28は同じく第5の実施例の画素部の平面図である。

【0051】本実施例においては、Tiからなる映像信号電極14の下層に画素電極13を構成するITO電極131を配置し、画素電極13上の一部に映像信号電極14を構成するTiを配置して容量電極16及びソース電極15とした。また、画素電極13上のソース電極15および容量電極16のパターンを保護SiN膜23のパターンPASをマスクとして自己整合的に形成した。また、画素電極13のパターンの周辺部には映像信号電極14を構成するTiを延在した。このようにすることにより映像信号電極、画素電極、ソース電極および容量電極をITO電極とTiからなる同じ材料により構成でき、1枚のホトマスクによりパターニングできるのでホト工程数を削減できる。また、画素電極上に残るTiを、保護SiN膜23のパターンをマスクとして除去し、画素電極上に残るTiを保護SiN膜23のパターンに対して自己整合的に形成することにより、ホト工程数を削減できる。また、付加容量部の上部電極にTiとITOの2層電極を用いることにより、走査信号電極100によって作られる段差部分でのITO電極の断切れを防止できる。

【0052】図29は本発明の第6の実施例の画素部の平面図である。本実施例では、断面構造は上記第6の実施例と同様であるが、保護SiN膜23のパターン端PASを画素電極13のパターンの外側に形成した点が特徴である。このようにすることにより、Ti電極および画素電極パターニング時に、例えば図30に示すようなパターン不良DEFにより画素電極13と映像信号電極14がショートした時にも、図31のように保護SiN膜23のパターンPASをマスクとして画素電極上の金属電極のエッチングする時にPASの内側の不良パター

ンのTi, ITOがエッチング除去されショート不良が解消できる。このため、画素電極13と映像信号電極14のショートによる表示欠陥を低減できる効果がある。

【0053】図32は本発明の第7の実施例の画素部の平面図である。本実施例では断面構造は上記第6の実施例と同様であるが、保護SiN膜23のパターン端PASを走査信号電極100の上にまで延長し、付加容量の上部電極の一部のTi電極を除去した点に特徴がある。このようにしてTi電極パターンの面積を縮小することにより画素の開口率が向上する。Ti電極パターンは、走査信号電極100によって作られる段差部を少なくとも一部で乗り越えていればよいから、このようにしてもITO電極の断切れによる不良は起こらない。

【0054】図33は本発明の第8の実施例の画素部の断面図である。図34、図35はそれぞれ第8の実施例の映像信号電極及び走査信号電極の外部接続端子部の断面図である。図36は同じく第8の実施例の画素部の平面図である。図33は図36中のY-Y'断面を示している。

【0055】本実施例では、上記第6の実施例と同様に、映像信号電極14の下層に画素電極13を構成する透明電極を配置し、画素電極13上の一部に映像信号電極14を構成するTiを配置して容量電極16及びソース電極15とした。また、画素電極13上のソース電極15および容量電極16のパターンを保護SiN膜23のパターンをマスクとして自己整合的に形成した。また、上記第2の実施例と同様にゲート絶縁膜22とa-Si:H膜30を同一のパターン形状に加工した。さらに、上記第1の実施例と同様に、走査信号電極をTa電極10とAl電極11の2層により構成し、その表面及び側面をこれらの金属の陽極酸化膜で被覆した。また、図28に示すように走査信号電極100の外部接続端子部分では上層のAl電極11をAl<sub>2</sub>O<sub>3</sub>膜21の下層にAl<sub>2</sub>O<sub>3</sub>膜21に対して自己整合的に形成した。

【0056】本実施例によれば、映像信号電極、画素電極、ソース電極および容量電極をITO電極とTiからなる同じ材料により構成し、1枚のホトマスクによりパターンニングできるのでホト工程数を削減でき工程数が削減できる。また、画素電極上に残るTiを、保護SiN膜23のパターンをマスクとして除去し、画素電極上に残るTiを保護SiN膜23のパターンに対して自己整合的に形成することにより、ホト工程数を削減でき工程数が削減できる。また、従来別々のホトマスクでパターンニングしていた、a-Si:H膜30とゲートSiN膜31が1枚のホトマスクで同一の形状にパターンニングされているので、ホトリソグラフィ工程が1回少なくなり工程数が削減でき製造コストを低減できる。さらに、外部接続端子に耐腐食性の高いTaを使用できるので高い信頼性を確保できる。また、Al<sub>2</sub>O<sub>3</sub>膜をマスクとして、外部接続端子部のTa電極を露出するため、従来必

要であった外部接続端子金属加工のためのホトマスクが不要となるので工程を削減でき製造コストを低減できる効果がある。

【0057】以上から、従来9枚必要であったホトマスクを5枚に低減されるので、工程数を大幅に削減できる。また、本実施例では保護SiN膜23のパターンに対して自己整合的に映像信号電極のTi電極をパターンニングしているので保護SiN膜23のエッチング断面にはTiが露出する。従って、映像信号電極としては耐腐食性の高いTi, W, Mo等の高融点金属を用いることが望ましい。

【0058】図37～図44は上記第8の実施例の製造工程を示す断面図である。

【0059】ガラス基板1上に、Ta膜10、Al膜11をスパッタリングにより堆積しホトリソグラフィ技術を用いて所定の形状にパターンニングする(図37)。次に、陽極酸化法によりTa膜、Al膜の表面及び側面にTa<sub>2</sub>O<sub>5</sub>膜20、Al<sub>2</sub>O<sub>3</sub>膜21を形成し、次にAl<sub>2</sub>O<sub>3</sub>膜21をマスクとして走査信号電極100の外部接続端子部(図示せず)のAl膜11をエッチング除去してTa電極10を露出する(図38)。次にプラズマCVD法により、ゲートSiN膜22、a-Si:H膜30、チャネル保護SiN膜24を形成する(図39)。次に、チャネル保護SiN膜24を所定の形状にパターンニングし、続いてPH<sub>3</sub>ガスの放電プラズマから引き出した、質量分離しないPH<sub>3</sub><sup>+</sup>、PH<sub>2</sub><sup>+</sup>等のイオンを2keVの低エネルギーで照射しa-Si:H膜30にPを導入する(図40)。次にゲートSiN膜22と、a-Si:H膜30を同一の平面形状にパターンニングする(図41)。続いてITO膜13、130およびTi膜をスパッタリングにより堆積しパターンニングして画素電極13、150および映像信号電極14を形成する(図42)。次にプラズマCVDにより保護SiN膜23を形成し所定のパターンにパターンニングする(図43)。続いて、保護SiN膜23のパターンをマスクとして画素電極13のITO電極上のTi電極をエッチング除去し素子は完成する(図44)。本製造方法によれば5枚のホトマスクにより従来より短い工程で、信頼性が高く、表示装置の大画面、高精細化に適した薄膜半導体装置を提供することができる。

【0060】上記実施例の変形として、図43で保護SiN膜23を形成する代りに、例えば図45に示すようにPIQなどの有機絶縁膜25をオフセット印刷等によって形成しても良い。その後、図46に示すように、有機絶縁膜25のパターンをマスクとしてTi膜150をウェットエッチングや等方性のドライエッチング等の方法によりエッチングしてソース電極15及び容量電極16を有機絶縁膜25よりオーバーハングして形成する。次に、熱処理により有機絶縁膜25のオーバーハング部を変形させてソース電極15及び容量電極16を形成す

るTi膜の側面を被覆して図47に示すような構造が得られる。この例では、Ti膜24の側壁が保護されるので、電極の腐食等が起らなくなるので、Tiの代りにAl等の低抵抗材料を使用できるメリットがある。また、保護膜のパターニングのためのホト工程が不要となるので工程数をさらに削減できる効果がある。

【0061】図48は本発明の液晶表示装置に係るTFT基板の等価回路である。ガラス基板1上に複数の走査信号電極10/11と、これに直交する複数の映像信号電極14と、これらの電極に接続されたTFTと、TFTに接続された液晶容量および付加容量とから構成される。走査信号電極10/11と映像信号電極14のどちらか一方の端部には外部部材の接続のための端子140が設けられている。画像の表示は走査信号電極10/11に順次パルス信号を印加し1行分のTFTをオン状態とし、その間に映像信号電極から画像信号を液晶層に印加する。この操作を1行ごとに繰り返して画像を表示する。

【0062】図49は本発明の薄膜半導体装置により構成した液晶表示装置の断面模式図を示す。液晶層506を基準に下部のガラス基板1上には、走査信号電極11と映像信号電極14とがマトリクス状に形成され、その交点近傍に形成されたTFTを介してITOよりなる画素電極13を駆動する。液晶層506を挟んで対向する対向ガラス基板508上にはITOよりなる対向電極510及びカラーフィルター507、カラーフィルター保護膜511、遮光用ブラックマトリクスパターンを形成する遮光膜512が形成されている。図49の中央部は1画素部分の断面を、左側は一对のガラス基板1、508の左側縁部分で外部引出端子の存在する部分の断面を、右側は一对のガラス基板1、508の右側縁部分で外部引出端子の存在しない部分の断面を示している。図49の左側、右側のそれぞれに示すシール材SLは液晶層506を封止するように構成されており、液晶封入口（図示していない）を除くガラス基板1、508の縁全体に沿って形成されている。シール剤は例えばエポキシ樹脂で形成されている。対向ガラス基板508側の対向電極510は少なくとも一個所において、銀ペースト材SILによってガラス基板1に形成された外部引出配線に接続されている。この外部接続配線は走査信号配線11、ソース電極15、映像信号配線14のそれぞれと同一製造工程で形成される。配向膜ORI1、ORI2、画素電極13、保護膜23、カラーフィルター保護膜511、ゲートSi<sub>n</sub>膜21のそれぞれの層はシール材SLの内側に形成される。偏光板505はそれぞれ一对のガラス基板1、508の外側の表面に形成されている。

【0063】液晶層506は液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2の間に封入され、シール材SLによってシールされている。下部配向膜ORI1はガラス基板1側の保護膜23の上部に形成

される。対向ガラス基板508の内側の表面には、遮光膜512、カラーフィルター507、カラーフィルター保護膜511、対向電極510および上部配向膜ORI2が順次積層して設けられている。この液晶表示装置はガラス基板1側と対向ガラス基板508側の層を別々に形成し、その後上下ガラス基板1、508を重ねあわせ、両者間に液晶506を封入することによって組立てられる。バックライトBLからの光の透過を画素電極13部分で調節することによりTFT駆動型のカラー液晶表示装置が構成される。

【0064】本発明の液晶表示装置は、低抵抗のAlよりなる走査信号電極を使用できるので、大型化および高精細化に好適である。また、簡略な製造工程で製造できるので、コストを大幅に低減でき安価な液晶表示装置を提供することが可能となる。なお、先に説明した構造のTFTにおいてソース、ドレインの金属電極と半導体膜をオーミックにコンタクトするためには半導体膜中のn型の不純物濃度は $10^{21}$  ATOMS/cm<sup>3</sup>以上とする必要が有る。また同時に、チャネル領域のn型の不純物を補償するためには同程度の濃度のp型不純物を導入する必要が有る。水素化非晶質Siや水素化非晶質SiGe等の材料においては、導電率制御のために不純物を導入すると不純物濃度の1/2乗に比例して膜中の欠陥密度が増加する。従って、これらのn型の不純物とp型不純物を半導体膜中に均一に導入するとキャリア蓄積層となる半導体とゲート絶縁膜界面近くでの不純物濃度も $10^{21}$  ATOMS/cm<sup>3</sup>程度の高濃度となってしまうので半導体膜中の欠陥密度が増大しTFTの特性が低下する。そこで、導入するn型、p型の不純物濃度を膜表面で $10^{21}$  ATOMS/cm<sup>3</sup>以上、半導体とゲート絶縁膜界面で $10^{19}$  ATOMS/cm<sup>3</sup>以下とする、即ち金属電極とコンタクトする部分の不純物濃度を高くし、キャリア蓄積層となる半導体とゲート絶縁膜界面近くでの不純物濃度を低くすることにより、半導体膜と金属電極のオーミックコンタクトを良好に保ちつつ界面近くの半導体膜中の欠陥密度の増加を抑制できTFT特性の低下を防止できる。

#### 【0065】

【発明の効果】以上述べたように、本発明によれば、最小限のホトリソグラフィ工程で、低抵抗の走査信号電極と、走査信号電極の陽極酸化膜をゲート絶縁膜として有するTFTと、耐腐食性の高い外部接続端子を具備した液晶表示装置が実現できるので、液晶表示装置の大型化および高精細化および低コスト化を実現できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の走査信号電極の断面図。

【図2】本発明の第1の実施例の走査信号電極の断面図。

【図3】本発明の液晶表示装置を用いた情報処理装置の

概略構成図。

【図 4】本発明の第 2 の実施例の走査信号電極の断面図。

【図 5】本発明の第 2 の実施例の走査信号電極の断面図。

【図 6】本発明の第 3 の実施例の画素断面図。

【図 7】本発明の第 3 の実施例の走査信号電極の外部接続端子部の断面図。

【図 8】本発明の第 1 の実施例の製造工程を示す画素断面図。

【図 9】本発明の第 1 の実施例の製造工程を示す画素断面図。

【図 10】本発明の第 1 の実施例の製造工程を示す画素断面図。

【図 11】本発明の第 1 の実施例の製造工程を示す画素断面図。

【図 12】本発明の第 1 の実施例の製造工程を示す画素断面図。

【図 13】本発明の第 4 の実施例の画素断面図。

【図 14】本発明の第 4 の実施例の画素平面図。

【図 15】本発明の第 4 の実施例の TFT のチャンネル部の  $a-Si:H$  膜中の不純物濃度分布。

【図 16】本発明の第 2 の実施例の TFT のソース、ドレイン部の  $a-Si:H$  膜中の不純物濃度分布。

【図 17】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 18】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 19】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 20】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 21】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 22】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 23】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 24】本発明の第 4 の実施例の製造工程を示す画素断面図。

【図 25】本発明の第 5 の実施例の画素断面図。

【図 26】本発明の第 5 の実施例の映像信号電極の外部接続端子部の断面図。

【図 27】本発明の第 5 の実施例の走査信号電極の外部接続端子部の断面図。

【図 28】本発明の第 5 の実施例の画素平面図。

【図 29】本発明の第 6 の実施例の画素平面図。

【図 30】本発明の第 6 の実施例の効果の説明図。

【図 31】本発明の第 6 の実施例の効果の説明図。

【図 32】本発明の第 7 の実施例の画素平面図。

【図 33】本発明の第 8 の実施例の画素断面図。

【図 34】本発明の第 8 の実施例の映像信号電極の外部接続端子部の断面図。

【図 35】本発明の第 8 の実施例の走査信号電極の外部接続端子部の断面図。

【図 36】本発明の第 8 の実施例の画素平面図。

10 【図 37】本発明の第 8 の実施例の製造工程を示す画素断面図。

【図 38】本発明の第 8 の実施例の製造工程を示す画素断面図。

【図 39】本発明の第 8 の実施例の製造工程を示す画素断面図。

【図 40】本発明の第 8 の実施例の製造工程を示す画素断面図。

【図 41】本発明の第 8 の実施例の製造工程を示す画素断面図。

20 【図 42】本発明の第 8 の実施例の製造工程を示す画素断面図。

【図 43】本発明の第 8 の実施例の製造工程を示す画素断面図。

【図 44】本発明の第 8 の実施例の製造工程を示す画素断面図。

【図 45】本発明の第 9 の実施例の製造工程を示す画素断面図。

【図 46】本発明の第 9 の実施例の製造工程を示す画素断面図。

30 【図 47】本発明の第 9 の実施例の製造工程を示す画素断面図。

【図 48】本発明の液晶表示装置の等価回路図。

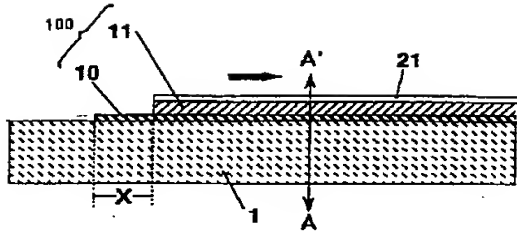
【図 49】本発明の液晶表示装置の断面模式図。

【符号の説明】

1…ガラス基板、10…Ta 電極、11…Al 電極、13…画素電極、14…映像信号電極、15…ソース電極、16…容量電極、20…Ta<sub>2</sub>O<sub>5</sub>膜、21…Al<sub>2</sub>O<sub>3</sub>膜、22…ゲート SiN 膜、23…保護 SiN 膜、24…チャンネル保護 SiN 膜、25…有機絶縁膜、30…a-Si:H 膜、31…n 型 a-Si:H 膜、110…Cr 電極、131…端子部保護膜、140…外部接続端子、505…偏光板、506…液晶層、507…カラーフィルター、508…対向ガラス基板、510…対向電極、511…カラーフィルター保護膜、512…遮光膜、PAS…保護 SiN 膜のパターン端、DEF…欠陥パターン、ORI1…上部配向膜、ORI2…下部配向膜、SL…シール材、SIL…銀ペースト材、BL…バックライト。

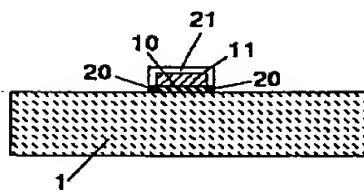
【図1】

図 1



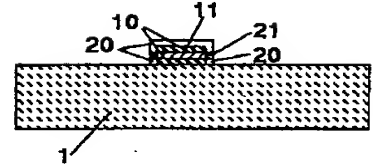
【図2】

図 2



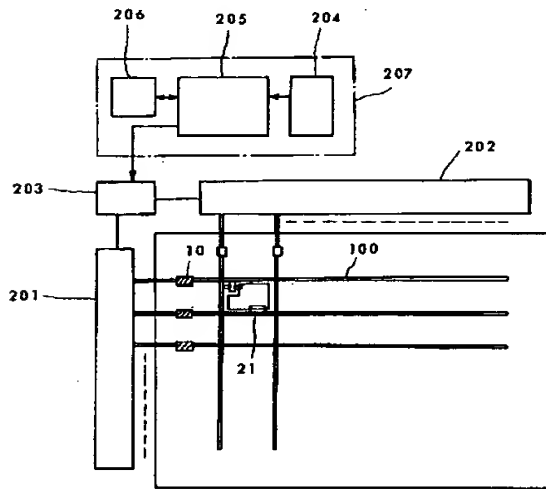
【図5】

図 5



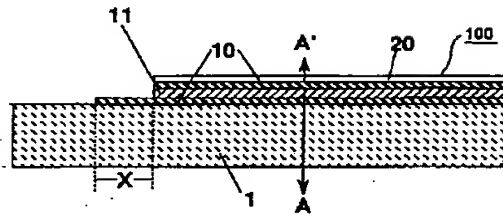
【図3】

図 3



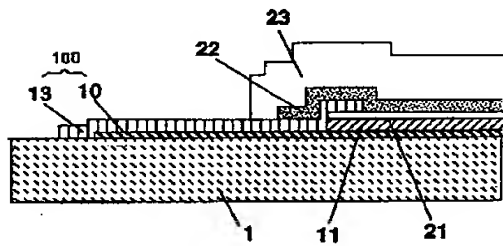
【図4】

図 4



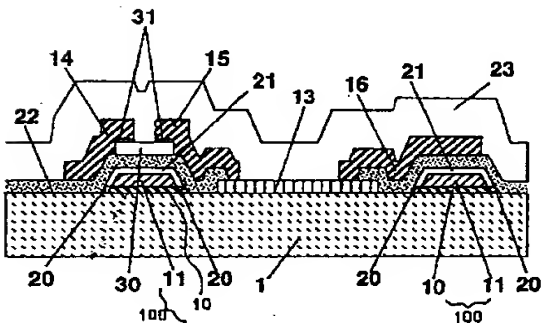
【図7】

図 7



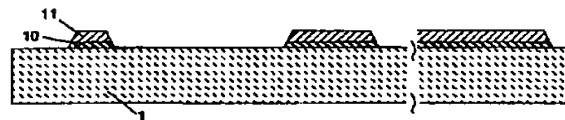
【図6】

図 6



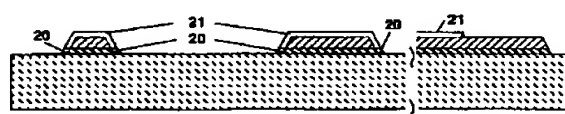
【図8】

図 8



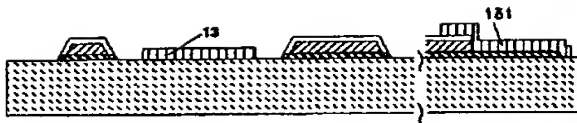
【図9】

図 9



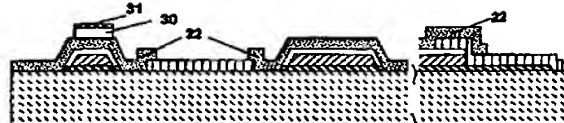
【図10】

図10



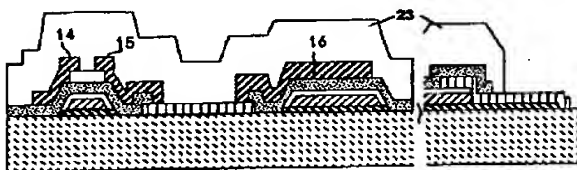
【図11】

図11



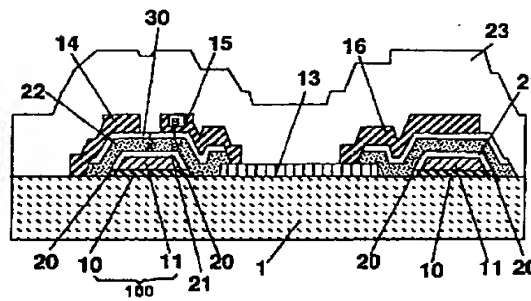
【図12】

図12



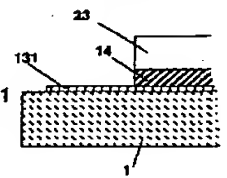
【図13】

図13



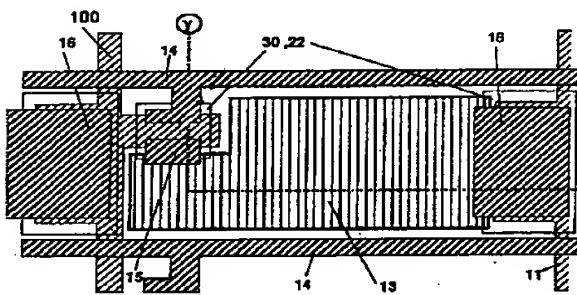
【図26】

図26



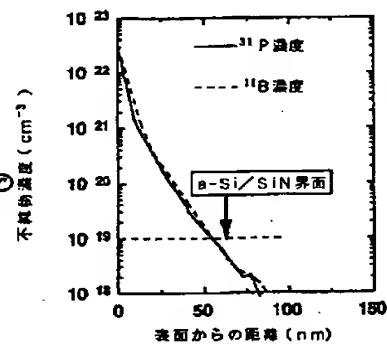
【図14】

図14



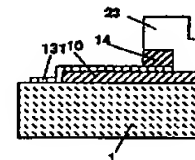
【図15】

図15



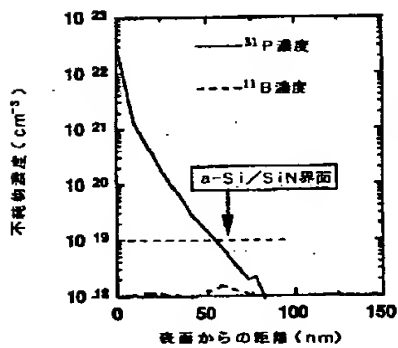
【図27】

図27



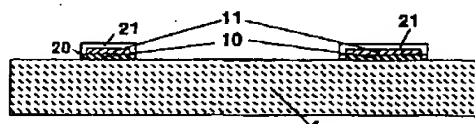
【図16】

図16



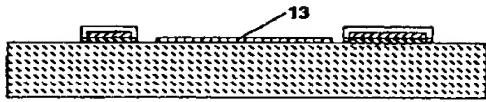
【図17】

図17



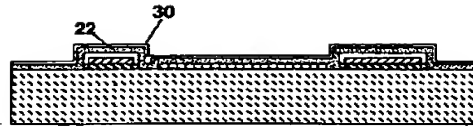
【図18】

図 18



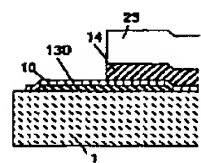
【図19】

図 19



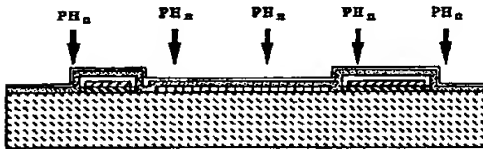
【図34】

図 34



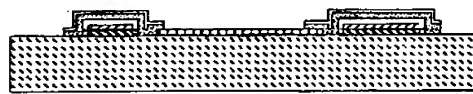
【図20】

図 20



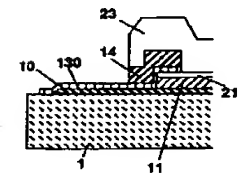
【図21】

図 21



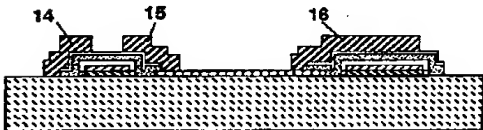
【図35】

図 35



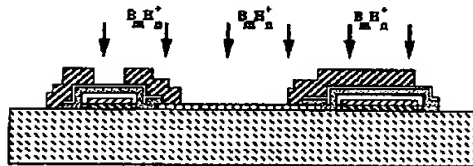
【図22】

図 22



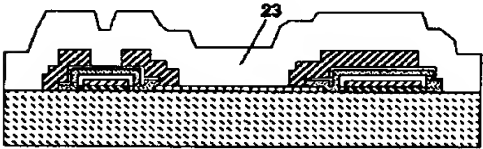
【図23】

図 23



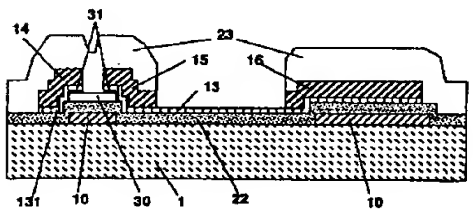
【図24】

図 24



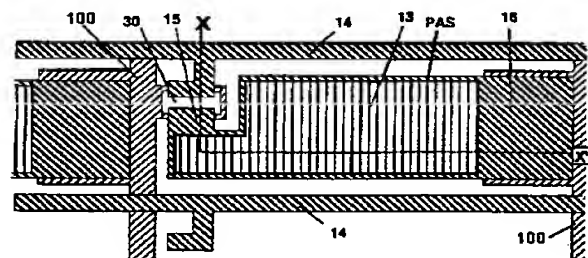
【図25】

図 25



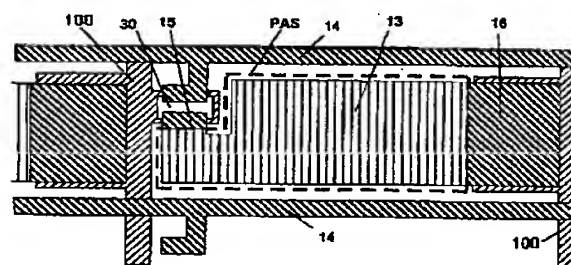
【図28】

図 28



【図29】

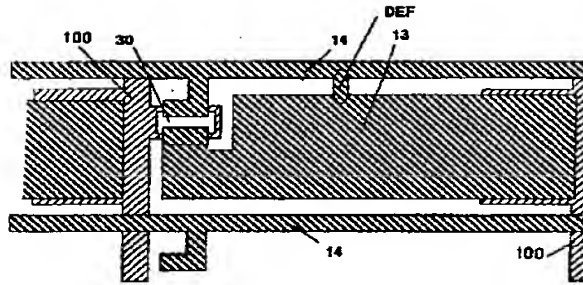
図 29





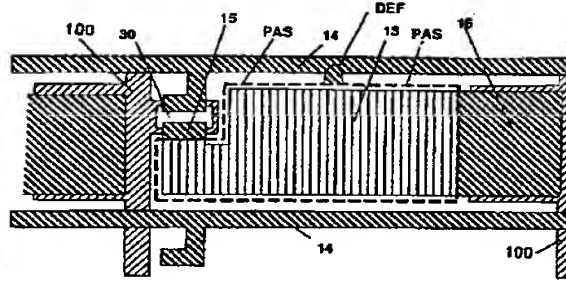
【図30】

図30



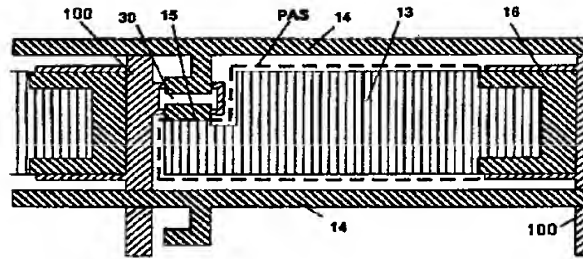
【図31】

図31



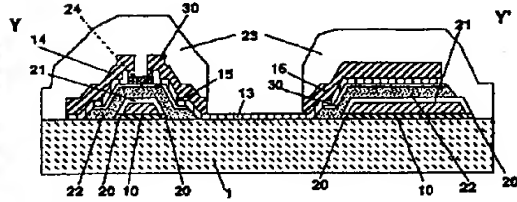
【図32】

図32



【図33】

図33



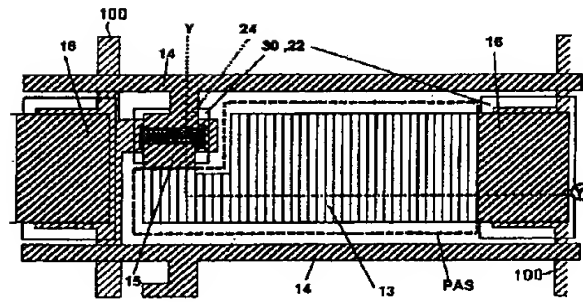
【図37】

図37



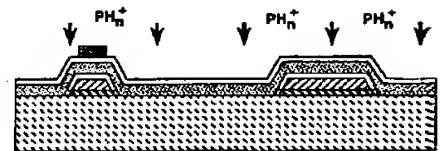
【図36】

図36



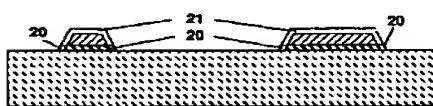
【図40】

図40



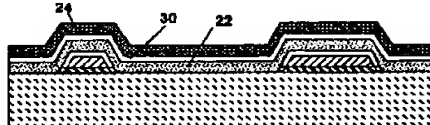
【図38】

図38



【図39】

図39

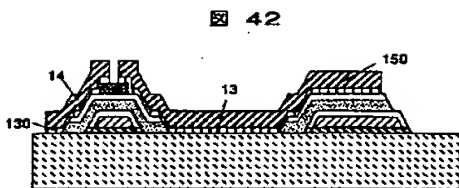


【図41】

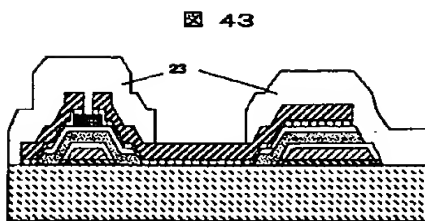
図41



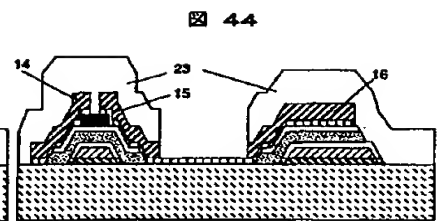
【図 4 2】



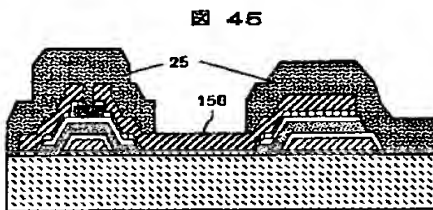
【図 4 3】



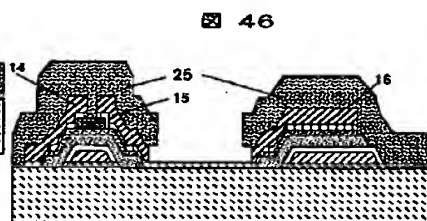
【図 4 4】



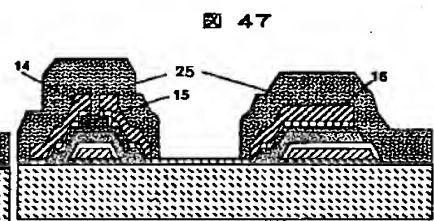
【図 45】



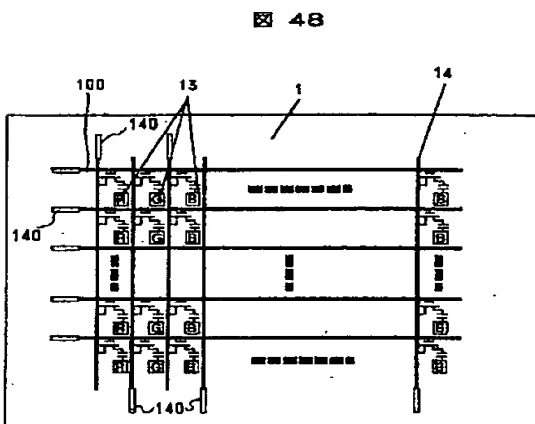
【図 4 6】



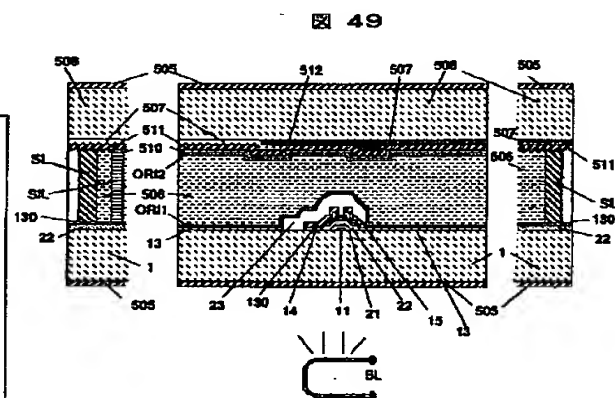
【图 4 7】



【図 4 8】



【図 49】



フロントページの続き

(72) 発明者 阿武 恒一  
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 小西 信武  
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 鈴木 隆  
茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07114020 A**(43) Date of publication of application: **02 . 05 . 95**

(51) Int. Cl.

**G02F 1/1335****G02F 1/1333****G02F 1/1333****G02F 1/136**(21) Application number: **05285923**(22) Date of filing: **18 . 10 . 93**(71) Applicant: **NIPPONDENSO CO LTD**(72) Inventor: **SATO MAKOTO  
OZAKI MASAOKI  
KAWAHARA HIDEKI**(54) **LIQUID CRYSTAL DISPLAY ELEMENT**

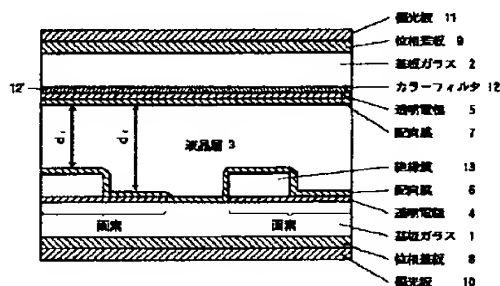
## (57) Abstract:

**PURPOSE:** To provide the liquid crystal display device having transmittance which depends less on vertical visual angles.

**CONSTITUTION:** There are transparent electrodes 4, 5 on the inner side of substrate glass 1, 3 at the cross section of the color liquid crystal display element provided with two cell gaps  $d_1$ ,  $d_2$  within one pixel. Oriented films 6, 7 are formed on the surfaces thereof and are provided with TFT elements with each of the pixels. Phase difference plates 8, 9 for improving the visual angle are formed on the outside of the substrates 1, 2 and polarizing plates 10, 11 are formed on the outside thereof. Different color filters 12, 12' are arranged in the respective elements. Insulating films 13 used thus far in the process in order to protect the TFT elements are partly made to remain in the respective elements. The cell gap which is the width of the liquid crystal layer is thereby provided with two  $d_1$ ,  $d_2$ . Since these materials are originally used, there is no need for increasing man-hours and materials. The visual angle at which transmittances of 10% and 30% of medium contrast invert is spread from a lower direction  $42^\circ$

thus far to 55% and the visibility in the lower direction is improved.

COPYRIGHT: (C)1995,JPO



**THIS PAGE BLANK (USPTO)**